



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0081371
Application Number

출원 년 월 일 : 2002년 12월 18일
Date of Application DEC 18, 2002

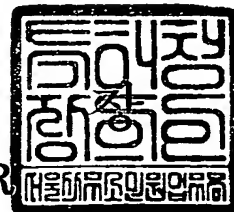
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.18
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	FABRICATION METHOD OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	이대근
【성명의 영문표기】	LEE, DATE GUN
【주민등록번호】	671115-1055325
【우편번호】	420-020
【주소】	경기도 부천시 원미구 중동 설악마을 310동 801호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	11 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

홀 식각 공정에서 EPD 시스템을 적용하여 식각 케미컬의 식각률 변화와 CMP 후 층간 절연막의 두께 변화에 관계없이 동일한 수준의 홀 식각을 가능하게 하는 반도체 소자의 제조 방법에 관한 것으로서, 층간 절연막 상에 질화막을 형성하는 단계와; 질화막 상에 감광막을 형성하고, 노광 및 현상하여 감광막 패턴을 형성하는 단계와; 감광막 패턴을 마스크로 하여 질화막을 식각하고, 계속하여 감광막 패턴과 층간 절연막을 함께 식각하는 단계와; 감광막 패턴이 식각에 의해 소멸되어 질화막이 노출되는 시점을 식각 종료 시점으로 설정하는 단계를 포함한다.

【대표도】

도 2a

【색인어】

식각, 컨택홀, 비아홀, 층간절연막, 감광막, 질화막

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법 {FABRICATION METHOD OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1b는 종래 반도체 소자의 홀 식각 공정을 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 의한 반도체 소자의 홀 식각 공정을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 홀 식각 공정에서 엔드 포인트 디텍터(end point detector, 이하 'EPD'라 칭함) 시스템을 사용 가능하게 하는 반도체 소자의 제조 방법에 관한 것이다.
- <4> 일반적으로 반도체 소자의 제조 공정에 있어서, 2가지 이상의 필름을 적층하고, 이 가운데 상부 필름 또는 상, 하부 필름을 식각하는 경우, 상부 필름의 식각에 의해 하부 필름이 노출될 때를 식각 종료 지점으로 정하는 EPD 시스템을 사용하고 있다.
- <5> 그러나 컨택 홀이나 비아 홀 등을 형성하기 위한 홀 식각 공정에서는 웨이퍼 전체에서 홀에 의해 노출되는 면적이 5% 이내로 작기 때문에, 현재 사용하고 있는 EPD 시스템으로는 하부 필름으로 식각 종료 지점을 결정하기 어려우므로 통상의 타임 식각을 진행하게 된다.
- <6> 도 1a 내지 도 1b는 종래 반도체 소자의 홀 식각 공정을 도시한 단면도이다.

- <7> 먼저, 도 1a에 도시한 바와 같이, 홀이 형성될 층간 절연막(1)을 형성하고, 층간 절연막(1) 상에 하드 마스크로 사용될 질화막(2)을 형성한다. 그리고 질화막(2) 상에 감광막 패턴(3)을 형성하고, 감광막 패턴(3)을 마스크로 질화막(2)을 식각하여 도 1b에 도시한 바와 같이 질화막 패턴(4)을 형성한다.
- <8> 이어서, 질화막 패턴(4)을 마스크로 사용하여 층간 절연막(1)을 타임 식각함으로써 홀(5)을 형성한다. 이 때, 홀(5) 형성에 설정되는 식각 시간은 층간 절연막(1)의 식각률을 고려하여 결정한다.
- <9> 그러나 전술한 타임 식각은 챔버 내부의 조건이나 상태가 항상 동일하다는 전제 하에 진행되는 식각이므로, 식각 케미컬의 식각률 변화와 CMP(chemical mechanical polishing) 후 층간 절연막의 두께 변화에 의해 원하는 수준으로 층간 절연막을 식각하지 못하는 문제를 초래한다.

【발명이 이루고자 하는 기술적 과제】

- <10> 따라서 본 발명은 상기한 문제점을 해소하기 위한 것으로서, 본 발명의 목적은 홀 식각 공정에서 EPD 시스템을 적용하여 식각 케미컬의 식각률 변화와 CMP 후 층간 절연막의 두께 변화에 관계없이 동일한 수준의 홀 식각을 가능하게 하는 반도체 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <11> 상기의 목적을 달성하기 위하여 본 발명은,
- <12> 층간 절연막 상에 질화막을 형성하는 단계와; 질화막 상에 감광막을 형성하고, 노광 및 현상하여 감광막 패턴을 형성하는 단계와; 감광막 패턴을 마스크로 하여 질화막을 식각하고,

계속하여 감광막 패턴과 층간 절연막을 함께 식각하는 단계와; 감광막 패턴이 식각에 의해 소멸되어 질화막이 노출되는 시점을 식각 종료 시점으로 설정하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.

- <13> 감광막 패턴이 소멸되어 질화막이 노출된 다음에는 질화막을 마스크로 하여 층간 절연막을 파식각할 수 있다.
- <14> 바람직하게, 질화막은 200~800Å의 두께로 이루어지고, 감광막 패턴은 2500~3500Å의 두께로 이루어진다.
- <15> 이하, 첨부한 도면을 참고하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하면 다음과 같다.
- <16> 도 2a 내지 도 2e는 본 발명에 의한 반도체 소자의 홀 식각 공정을 도시한 단면도이다.
- <17> 먼저, 도 2a에 도시한 바와 같이, 컨택 홀 또는 비아 홀 등을 형성할 층간 절연막(11) 상에 질화막(12)을 형성한다. 질화막(12)은 이후의 홀 식각 공정에서 하드 마스크의 역할을 수행하며, 보통 200~800Å 정도의 두께로 증착하는 것이 바람직하고, 일례로 500Å 두께로 증착할 수 있다.
- <18> 이어서, 질화막(12) 상에 감광막을 형성하고, 감광막을 노광 및 현상하여 감광막 패턴(13)을 형성한다. 본 발명에서 감광막 패턴(13)은 후속 공정인 층간 절연막(11) 식각시 함께 식각되는 막으로서, 층간 절연막(11)과 함께 식각되는 것을 감안할 때, 층간 절연막(11)의 두께와 식각률 및 감광막 패턴(13)의 식각률을 고려하여 적절한 두께로 형성한다.
- <19> 다음으로, 도 2b에 도시한 바와 같이 감광막 패턴(13)을 마스크로 하여 질화막(12)을 식각한다. 이 때, 질화막(12)을 식각한 다음 감광막 패턴(13)을 제거하지 않고 잔류시킨다. 그리

고 계속하여 도 2c에 도시한 바와 같이 감광막 패턴(13)을 마스크로 하여 층간 절연막(11)의 식각을 진행시킨다.

<20> 이와 같이 층간 절연막(11)을 식각하는 과정에서, 감광막 패턴(13)이 층간 절연막(11)과 함께 식각되며, 도 2d에 도시한 바와 같이 감광막 패턴(13)이 식각에 의해 모두 소멸하여 질화막(12)이 노출되는 시점을 식각 종료 지점으로 정하여 식각을 중지시킨다.

<21> 이러한 과정에서 중요한 것은 층간 절연막(11) 식각시, 동일한 시간을 기준으로 층간 절연막(11)의 식각률이 감광막 패턴(13)의 식각률보다 상대적으로 크다는 것이며, 이러한 상대적인 식각률 차이를 감안하여 질화막(12) 식각 후 감광막 패턴(13)을 제거하지 않고 잔류시킨다.

<22> 그 결과, 층간 절연막(11)의 식각률이 대략 $5000 \text{ \AA}/\text{min}$ 이고, 감광막 패턴(13)의 식각률이 대략 $1800 \text{ \AA}/\text{min}$ 인 경우, 층간 절연막(11)을 7500 \AA 두께로 형성하고, 질화막(12) 식각 후 감광막 패턴(13)의 두께를 2500 \AA 로 형성하면, 층간 절연막(11)이 7000 \AA 정도 식각되는 시점에서 감광막 패턴(13)이 모두 소멸하여 질화막(12)이 노출된다.

<23> 따라서 질화막(12)이 노출되는 시점을 식각 종료 지점으로 결정하여 홀 식각 공정에서 EPD 시스템을 적용할 수 있는 것이며, 이와 같이 EPD 시스템을 적용하는 경우 감광막 패턴(13)의 두께는 $2500 \sim 3500 \text{ \AA}$ 정도가 바람직하다.

<24> 이 때, 층간 절연막(11)이 90% 정도 식각된 상태에서 식각 종료 지점을 정하고자 하는 경우, 감광막 패턴(13)의 두께를 설정치보다 작게 하고, 층간 절연막(11)이 모두 식각된 이후 식각 종료 지점을 정하고자 하는 경우에는 감광막 패턴(13)의 두께를 설정치보다 약간 크게 조절한다.



- <25> 이어서, 도 2e에 도시한 바와 같이, 질화막(12)을 마스크로 하여 층간 절연막(11)을 과식각한다. 이로서 층간 절연막(11)에 컨택 홀 또는 비아 홀 등으로 사용할 홀(14)을 형성한다.
- <26> 전술한 바와 같이 홀 식각 공정에서 EPD 시스템을 적용할 수 있으므로, 식각률이 다른 식각 케미컬을 사용하거나, CMP 후 층간 절연막의 두께에 변화가 발생하여도 EPD 시스템에 의해 항상 동일한 수준으로 홀 식각을 진행하는 장점을 갖는다. 또한 감광막 패턴의 두께를 조절하여 공정상 필요한 시점에서 식각 종료 지점을 정할 수 있으므로, 홀 식각을 다양하게 진행할 수 있다.
- <27> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

【발명의 효과】

- <28> 이와 같이 본 발명에 따르면, 홀 식각 공정에서 EPD 시스템을 적용할 수 있으므로, 식각 케미컬의 식각률 변화와 CMP 후 층간 절연막의 두께 변화 등에 관계없이 항상 동일한 수준의 홀 식각이 가능해진다.



【특허청구범위】

【청구항 1】

층간 절연막 상에 질화막을 형성하는 단계;

상기 질화막 상에 감광막을 형성하고, 노광 및 현상하여 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 질화막을 식각하고, 계속하여 감광막 패턴과 층간 절연막을 함께 식각하는 단계; 및

상기 감광막 패턴이 식각에 의해 소멸되어 상기 질화막이 노출되는 시점을 식각 종료 시점으로 설정하는 단계

를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제 1항에 있어서,

상기 질화막을 형성할 때에는 200~800Å의 두께로 형성하는 반도체 소자의 제조 방법.

【청구항 3】

제 1항에 있어서,

상기 감광막 패턴을 형성할 때에는 2500~3500Å의 두께로 형성하는 반도체 소자의 제조 방법.



【청구항 4】

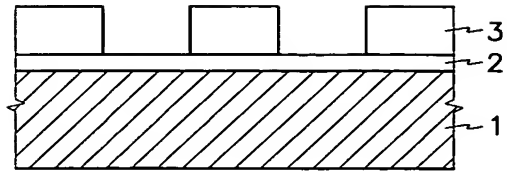
제 1항에 있어서,

상기 감광막 패턴의 소멸 이후, 상기 절화막을 마스크로 하여 상기 층간 절연막을 과식
각하는 단계를 더욱 포함하는 반도체 소자의 제조 방법.

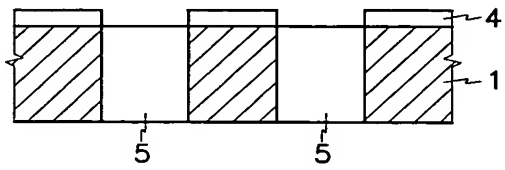


【도면】

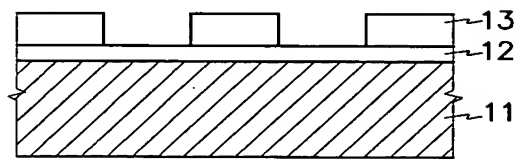
【도 1a】



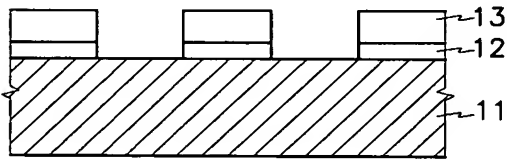
【도 1b】



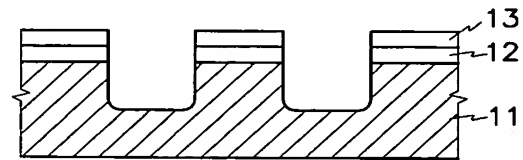
【도 2a】



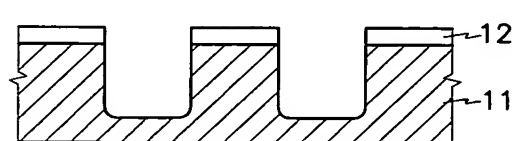
【도 2b】



【도 2c】



【도 2d】



【도 2e】

